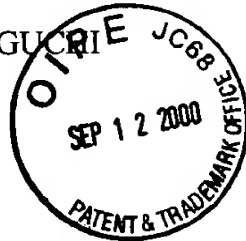


0330

#31 Priority
11/15/00
PATENT
1152-0263P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Hideaki SAKAGUCHI
Application No.: 09/624,014
Filed: July 21, 2000
Group: Not Assigned
Examiner: Not Assigned
For: TESTING DEVICE AND TESTING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUITS



LETTER

Assistant Commissioner for Patents
Washington, DC 20231

September 12, 2000

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
Japan	11-208469	July 23, 1999

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By:

Donald J. Daley, Reg. No. 34,313

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

DJD:LJH:kna

Attachment

RECEIVED
OCT -6 2000
TC 2800 MAIL ROOM

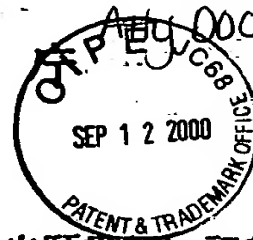
SARAGUCHI, Hideaki

JULY 01, 2000

Serial No. 09/624,014

Doc: 1152-263P

日 本 国 特 許
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 7月23日

出 願 番 号

Application Number:

平成11年特許願第208469号

出 願 人

Applicant(s):

シャープ株式会社

RECEIVED

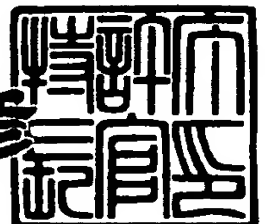
001-6 2000

TC 2800 MAIL ROOM

2000年 3月17日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3017983

【書類名】 特許願

【整理番号】 99-01874

【提出日】 平成11年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 坂口 英明

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

 【電話番号】 06-6621-1221

【代理人】

 【識別番号】 100103296

 【弁理士】

 【氏名又は名称】 小池 隆彌

 【電話番号】 06-6621-1221

 【連絡先】 電話 0 4 3 - 2 9 9 - 8 4 6 6 知的財産権本部 東京
知的財産権部

【手数料の表示】

 【予納台帳番号】 012313

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703283

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の検査装置

【特許請求の範囲】

【請求項 1】 複数個の D A コンバータを内蔵し、該各 D A コンバータの出力電圧を、それぞれ、対応する出力端子より出力する構成とした半導体集積回路の検査装置に於いて、

上記各出力端子より出力される各出力電圧と比較される複数の基準電圧を発生する基準電圧発生器であって、複数種類の半導体集積回路の検査に必要な複数種類の基準電圧の組を選択的に出力する機能を有する基準電圧発生器と、上記各出力端子より出力される各出力電圧が、それぞれ、その一方の入力端子に入力され、他方の入力端子には、上記基準電圧発生器よりの基準電圧が入力される複数の差動増幅器と、該複数の差動増幅器よりの増幅出力電圧を、その入力とし、各差動増幅器よりの増幅出力電圧が、それぞれ、所定の電圧範囲内にあるか否かを判定するコンパレータとを備えて成ることを特徴とする、半導体集積回路の検査装置。

【請求項 2】 上記基準電圧発生器が、上記半導体集積回路に内蔵される上記 D A コンバータとは異なるデジタル・データ信号を入力信号として、上記複数の基準電圧を発生する D A コンバータであって、上記入力デジタル・データ信号の選択に応じて、複数種類の半導体集積回路の検査に必要な複数種類の基準電圧の組を選択的に出力する D A コンバータであることを特徴とする、請求項 1 に記載の半導体集積回路の検査装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数個の D A コンバータを内蔵し、各 D A コンバータの出力電圧を、それぞれ、対応する出力端子より出力する構成とした半導体集積回路（例えば、液晶駆動用 I C 等）の検査装置に関するものであり、特に、上記各 D A コンバータの出力電圧のテストを、極めて短時間で、また高精度に実施することができる検査装置に関するものである。

【0002】

【従来の技術】

液晶パネルの高精細化に伴い、該液晶パネルに搭載される液晶ドライバLSIは、多出力化、多階調化が進んできている。この階調表示を行うため、液晶ドライバLSIの各出力回路は、それぞれDAコンバータを内蔵し、階調電圧を出力する。例えば、6ビットDAコンバータの場合は、64階調表示、8ビットDAコンバータの場合は、256階調表示が、それぞれ可能となる。

【0003】

このような液晶ドライバLSIのテストに於いては、各DAコンバータから出力される、それぞれの階調電圧値が全て正常範囲内にあるか否か、また、各DAコンバータ間で、階調電圧値が所定の均一性を満たしているか否かのテストを実行している。

【0004】

図3に、従来のテスト方法を、m出力、n階調のDAコンバータを内蔵する液晶ドライバLSIのテストの場合を例にとって示した概念図を示す。

【0005】

半導体試験装置（テスト）を用いて、液晶ドライバLSIへ入力信号を供給し、各DAコンバータより、1階調目の電圧レベルを出力させる。この1階調目の電圧レベルは、各出力端子（Y1、…、Ym）を介して、液晶ドライバLSI外部に導出され、それぞれ、テストの各入力チャネル（1ch、…、mch）に入力される。テストに於いては、マトリクススイッチを順次オン・オフ制御することにより、内蔵されている高精度アナログ電圧測定器を用いて、1出力ずつ、m出力まで、順次、1階調目の階調電圧値を測定し、その測定結果を、逐次、内蔵のデータメモリに格納する。この処理を、n階調分、繰り返し実行し、最終的に、全出力（m出力）、全階調分（n階調）のデータをメモリに格納する。この結果、m×n個のデータが、メモリに格納されることになる。このメモリに格納されたデータを、テストに内蔵されている演算装置（図示せず）を用いて演算処理し、各出力に於ける各階調電圧値や、各出力間の階調電圧間の均一性の試験を行う。

【0 0 0 6】

このような液晶ドライバ L S I のテストに於いては、多出力化・多階調化が進むにつれて、データの取り込み量の増加、およびデータ処理時間の増大化が進み、テスト時間は大幅に増大する。また、階調数が増加することにより、各階調電圧値を、より高精度に測定する必要がある、テスト時間の更なる増加と、高精度な電圧測定器を搭載した高価な半導体試験装置が必要となる。

【0 0 0 7】

【発明が解決しようとする課題】

上述したように、液晶ドライバ L S I の多出力化・多階調化が進むことにより、従来の検査方法では、テスト時間の大幅な増加と、高精度な電圧測定器を搭載する高価な半導体試験装置が必要となることにより、テストコストは激増する一方となってきた。

【0 0 0 8】

かかる問題点を解決した従来の半導体試験装置として、特開平 9 - 3 1 2 5 6 9 号公報に示される半導体試験装置が提案されている。

【0 0 0 9】

図 5 は、この特開平 9 - 3 1 2 5 6 9 号公報に示される半導体試験装置の構成を示すブロック構成図である。

【0 0 1 0】

n ビットのデジタル・データを発生するデジタル信号発生器 6 0 と、クロック発生器 6 1 と、該デジタル信号発生器 6 0 のデータと該クロック発生器 6 1 のクロック信号とを受けてアナログ電圧 V_g を出力する被試験デバイスの D/A コンバータ D U T と、分岐した上記デジタル信号発生器 6 0 のデータと上記クロック発生器 6 1 のクロック信号とを受けて、基準電圧 V_{ref} を出力するリファレンス (R E F) D/A コンバータ 6 2 と、上記被試験デバイスの D/A コンバータ D U T の出力を、その一方の入力に、上記リファレンス D/A コンバータ 6 2 の出力を、その他方の入力に受けて、差動増幅動作を行う差動増幅器 6 3 と、該差動増幅器 6 3 の差動増幅出力を受けて、上限と下限の良否判定を行うデュアルコンパレータ 6 4 とによって、D/A コンバータ試験装置を構成するもの

である。かかる構成により、スループットの高いD/Aコンバータ試験装置を提供することができるものである。

【0011】

しかしながら、この特開平9-312569号公報に示される半導体試験装置(D/Aコンバータ試験装置)には、以下に示す問題点があった。すなわち、この特開平9-312569号公報に示されるD/Aコンバータ試験装置に於いては、被試験デバイスのD/AコンバータDUTと、リファレンスD/Aコンバータ62とは、全く同じ信号が入力される構成であるため、リファレンスD/Aコンバータ62は、被試験デバイスのD/Aコンバータの良品を用いる必要がある。これは、被試験デバイスのD/Aコンバータが実現する階調数によって端子数が異なるからである。したがって、被試験デバイスのD/Aコンバータが別の種類のものになれば、それに応じて、それと同一種類の良品のD/Aコンバータを、リファレンスD/Aコンバータとして、別途、用意する必要が生じる。すなわち、特開平9-312569号公報に示される試験装置に於いては、検査を行う被試験デバイスのD/Aコンバータ、或いは、該D/Aコンバータを内蔵する半導体集積回路の種類毎に、高精度で良品のリファレンスD/Aコンバータを用意する必要があるという問題点があった。

【0012】

本発明は、かかる従来の事情に鑑みて為されたものであり、テスト時間の大幅な短縮を図ることができ、従来の安価なテストを用いて高精度な検査を可能とするとともに、基準電圧発生器を、被検査半導体集積回路の種類毎に用意する必要の無い検査手法を提供することを目的とするものである。

【0013】

【課題を解決するための手段】

本発明に係る半導体集積回路の検査装置は、複数個のDAコンバータを内蔵し、該各DAコンバータの出力電圧を、それぞれ、対応する出力端子より出力する構成とした半導体集積回路の検査装置に於いて、上記各出力端子より出力される各出力電圧と比較される複数の基準電圧を発生する基準電圧発生器であって、複数種類の半導体集積回路の検査に必要な複数種類の基準電圧の組を選択的に出力

する機能を有する基準電圧発生器と、上記各出力端子より出力される各出力電圧が、それぞれ、その一方の入力端子に入力され、他方の入力端子には、上記基準電圧発生器よりの基準電圧が入力される複数の差動増幅器と、該複数の差動増幅器よりの増幅出力電圧を、その入力とし、各差動増幅器よりの増幅出力電圧が、それぞれ、所定の電圧範囲内にあるか否かを判定するコンパレータとを備えて成ることを特徴とするものである。

【0014】

また、本発明に係る半導体集積回路の検査装置は、上記検査装置に於いて、上記基準電圧発生器が、上記半導体集積回路に内蔵される上記DAコンバータとは異なるデジタル・データ信号を入力信号として、上記複数の基準電圧を発生するDAコンバータであって、上記入力デジタル・データ信号の選択に応じて、複数種類の半導体集積回路の検査に必要な複数種類の基準電圧の組を選択的に出力するDAコンバータであることを特徴とするものである。

【0015】

かかる本発明の半導体集積回路の検査装置によれば、半導体集積回路の各出力端子より出力される各DAコンバータの出力電圧は、それぞれ、各差動増幅器に於いて、基準電圧と比較される。その結果、すなわち、差動増幅器よりの増幅出力電圧は、並列にコンパレータに入力される。コンパレータに於いては、上記各差動増幅器よりの各増幅出力電圧が、それぞれ、所定の電圧範囲にあるか否かの判定が実行される。

【0016】

かかる本発明の半導体集積回路の検査装置によれば、多出力化・多階調化が進んだ液晶ドライバLSI等の半導体集積回路の検査に於いても、コンパレータに於ける各増幅出力電圧の同時判定により、テスト時間の大幅な短縮を図ることができるとともに、従来に於けるような高精度のアナログ電圧測定器による電圧測定も不要となり、従来の安価なテストを用いて高精度な検査が可能となるものであり、テストコストの大幅な削減を図ることが可能となるものである。また、基準電圧発生器が複数種類の半導体集積回路の検査に共用できるものであるため、被検査半導体集積回路毎に、基準電圧発生器を用意する必要がなく、したがって

、単一の検査装置で、複数種類の半導体集積回路の検査を効率的に実施することが可能となるものである。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態に基づいて、本発明を詳細に説明する。

【0018】

図1は、本発明の一実施形態である液晶ドライバLSI検査装置のブロック構成を示す構成図である。図1に於いては、m出力、n階調の液晶ドライバLSIの試験を行う場合について示している。また、図2は、図1に示す検査装置の動作説明に供する電圧波形図である。

【0019】

液晶ドライバLSI(1)は、m個の出力端子(3)を持つ。各出力端子(3)は、それぞれ、DAコンバータ(2)の出力端子に接続されている。各DAコンバータ(2)は、それぞれ、n階調の階調電圧を出力する。各出力端子(3)から出力された階調電圧は、差動増幅器アレイモジュール(4)を構成する各差動増幅器(5)の一方の入力端子(6)に並列に入力される構成となっている。

【0020】

(8)は、上記階調電圧と比較されるn個の基準電圧(期待値電圧)を、順次、発生する電圧発生器であり、該電圧発生器(8)より出力された期待値電圧は、差動増幅器アレイモジュール(4)を構成する各差動増幅器(5)の他方の共通入力端子(7)に入力される構成となっている。この基準電圧発生器(8)は、DAコンバータより出力される各階調電圧の値が異なる、複数種類の液晶ドライバLSIの検査に共用できる構成となっているものである。具体的には、予め設定された最小電圧 ΔV_{min} を単位として、入力デジタル・データに応じて、この ΔV_{min} 刻みの複数の階調電圧を発生させることができる構成となっており、被検査液晶ドライバLSIより出力される複数の階調電圧の基準値に対応する複数のデジタル・データを選択して、該選択された複数のデジタル・データを順次与えることによって、所望の階調電圧を順次発生させることができる構成となっているものである。すなわち、この基準電圧発生器(8)に与えるデ

ィジタル・データの変更により、異なる種類の液晶ドライバLSIの検査に必要な、異なる基準電圧の組を、任意に発生させることができるものである。なお、この基準電圧発生器の構成としては、以下に示す構成も可能である。すなわち、基準電圧発生器を有する検査装置を用いて、その検査が実行される複数種類の半導体集積回路に内蔵されるDAコンバータより出力される各階調電圧の値が全て判明しているときは、入力ディジタル・データ信号に応じて、上記階調電圧を全て出力させることができる構成としておくことによって（この場合は、上述の構成とは異なり、各出力基準電圧間の差電圧は、必ずしも一定とはならない）、複数種類の半導体集積回路の検査に必要な、複数種類の基準電圧の組を選択的に発生させることができる電圧発生器を構成することもできるものである。

【 0 0 2 1 】

各差動増幅器（5）は、液晶ドライバLSI（1）より出力される階調電圧と、電圧発生器（8）より出力される期待値電圧との間のずれ電圧（図2に示す、 ΔV_1 等）を所定の倍率（例えば、100倍、或いは、それ以上の倍率）で増幅した増幅出力電圧を出力するものである。この差動増幅器（5）に於ける、ずれ電圧値の増幅処理により、後段のコンパレータに於ける比較判定の高精度化を実現しているものである。各差動増幅器（5）よりの上記増幅出力電圧が出力される出力端子（9）は、それぞれ、テスト（10）の各入力チャネル（11）に接続されており、上記増幅出力電圧は、それぞれ、テスト（10）に入力される。テスト（10）を構成するコンパレータ（12）は、各入力チャネル（11）を介して入力された各差動増幅器よりの増幅出力電圧が、それぞれ、所定の電圧範囲（例えば、64階調の場合は、ずれ電圧の値で示して、 $\pm 20\text{ mV}$ 以下の範囲、256階調の場合は、同、 $\pm 5\text{ mV}$ 以下の範囲）にあるか否かの判定を同時に実行し、その結果を示す信号、すなわち、全ての入力電圧が所定電圧範囲内にあるか、或いは、何れかの入力電圧が所定電圧範囲外となっているかを示す判定結果信号を出力する。

【 0 0 2 2 】

このコンパレータ（12）の構成図を図4に示す。図に於いて、（15）は電圧比較器、（16）及び（17）は論理積回路である。また、 V_H は、所定電圧

範囲の上限である上限電圧値であり、 V_L は所定電圧範囲の下限である下限電圧値である。かかる構成により、入力された各差動増幅器の増幅出力電圧が、全て、所定電圧範囲内にあれば、論理積回路（17）の出力は、“H”レベルとなり、何れかの増幅出力電圧が所定電圧範囲外にあれば、論理積回路（17）の出力は、“L”レベルとなる。

【0023】

本実施形態の検査装置は、従来のコンパレータ内蔵のテスト（10）に、差動増幅器アレイモジュール（4）と電圧発生器（8）とを付加するだけで、実現できるものであり、既存の装置への僅かな装置の付加のみで、高精度なテストを短時間で実施できる、極めて有用な検査装置を提供できるものである。

【0024】

以下、本実施形態の検査装置の動作の説明を行う。

【0025】

まず、1階調目の階調電圧が、 m 個の出力端子（3）から出力されるように、液晶ドライバLSI（1）を動作させる。このとき、 m 個の出力端子（3）から出力された各階調電圧は、それぞれ、対応する差動増幅器（5）の一方の入力端子（6）に並列に入力される。このとき、電圧発生器（8）は、所定のデジタル・データ信号の入力により、被検査液晶ドライバLSI（1）に於ける1階調目の階調電圧に対する期待値電圧を発生するように制御されており、該期待値電圧は、差動増幅器（5）の他方の入力端子（共通入力端子）（7）に入力される。これら各入力電圧に基づく、各差動増幅器よりの増幅出力電圧（液晶ドライバLSIより出力された1階調目の階調電圧と、期待値電圧との差を、所定の倍率（例えば、100倍、或いは、それ以上の倍率）で、増幅した電圧）は、テスト（10）に、並列に入力され、テスト（10）のコンバータ（12）に於いて、それぞれ、所定の電圧範囲内にあるか否かの判定が実行される。該判定に於いて、論理積回路（17）の出力が、“L”レベルとなり、何れかの出力電圧が上記範囲外にあると判定された場合は、その時点で、検査動作を終了し、検査対象のLSIは不良品として処理される。一方、論理積回路（17）の出力が、“H”レベルとなり、全ての出力電圧が、上記所定の電圧範囲内にあると判定された場

合は、次の、2階調目の階調電圧のテストに移る。

【0026】

すなわち、2階調目の階調電圧が、 m 個の出力端子(3)から出力されるように、液晶ドライバLSI(1)を動作させる。 m 個の出力端子(3)から出力された各階調電圧は、それぞれ、対応する差動増幅器(5)の一方の入力端子(6)に並列に入力される。また、このとき、電圧発生器(8)は、所定のデジタル・データ信号の入力により、被検査液晶ドライバLSIに於ける2階調目の階調電圧に対する期待値電圧を発生するように制御されており、該期待値電圧は、差動増幅器(5)の他方の入力端子(共通入力端子)(7)に入力される。これら各入力電圧に基づく、各差動増幅器よりの増幅出力電圧(液晶ドライバLSIより出力された2階調目の階調電圧と、期待値電圧との差を、所定の倍率(例えば、100倍、或いは、それ以上の倍率)で、増幅した電圧)は、テスト(10)に、並列に入力され、テスト(10)のコンバータ(12)に於いて、それぞれ、所定の電圧範囲内にあるか否かの判定が実行される。該判定に於いて、論理積回路(17)の出力が、“L”レベルとなり、何れかの出力電圧が上記範囲外にあると判定された場合は、その時点で、検査動作を終了し、検査対象のLSIは不良品として処理される。一方、論理積回路(17)の出力が、“H”レベルとなり、全ての出力電圧が、上記所定の電圧範囲内にあると判定された場合は、次の、3階調目の階調電圧のテストに移る。

【0027】

以下、同様にして、 n 階調目の階調電圧のテストまでを実行することにより、液晶ドライバLSIに内蔵される各DAコンバータより出力される各階調電圧のテストを実行することができるものである。

【0028】

【発明の効果】

以上、詳細に説明したように、本発明の半導体集積回路の検査装置によれば、多出力化・多階調化が進んだ液晶ドライバLSI等の半導体集積回路の検査に於いても、コンパレータに於ける各増幅出力電圧の同時判定により、テスト時間の大幅な短縮を図ることができるとともに、従来に於けるような高精度のアナログ

電圧測定器による電圧測定が不要となり、従来の安価なテストを用いて高精度な検査が可能となるものであり、テストコストの大幅な削減を達成することができるものである。また、基準電圧発生器を複数種類の半導体集積回路の検査に共用できる構成としているため、被検査半導体集積回路毎に、基準電圧発生器を用意する必要がなく、したがって、本発明によれば、単一の検査装置で、複数種類の半導体集積回路の検査を効率的に実施することができるものである。

【図面の簡単な説明】

【図 1】

本発明の一実施形態である液晶ドライバ LSI 検査装置のブロック構成を示す構成図である。

【図 2】

同実施形態の動作説明に供する電圧波形図である。

【図 3】

従来の検査装置の構成を示す構成図である。

【図 4】

図 1 に示されるコンバータの構成を示す構成図である。

【図 5】

従来の他の検査装置の構成を示す構成図である。

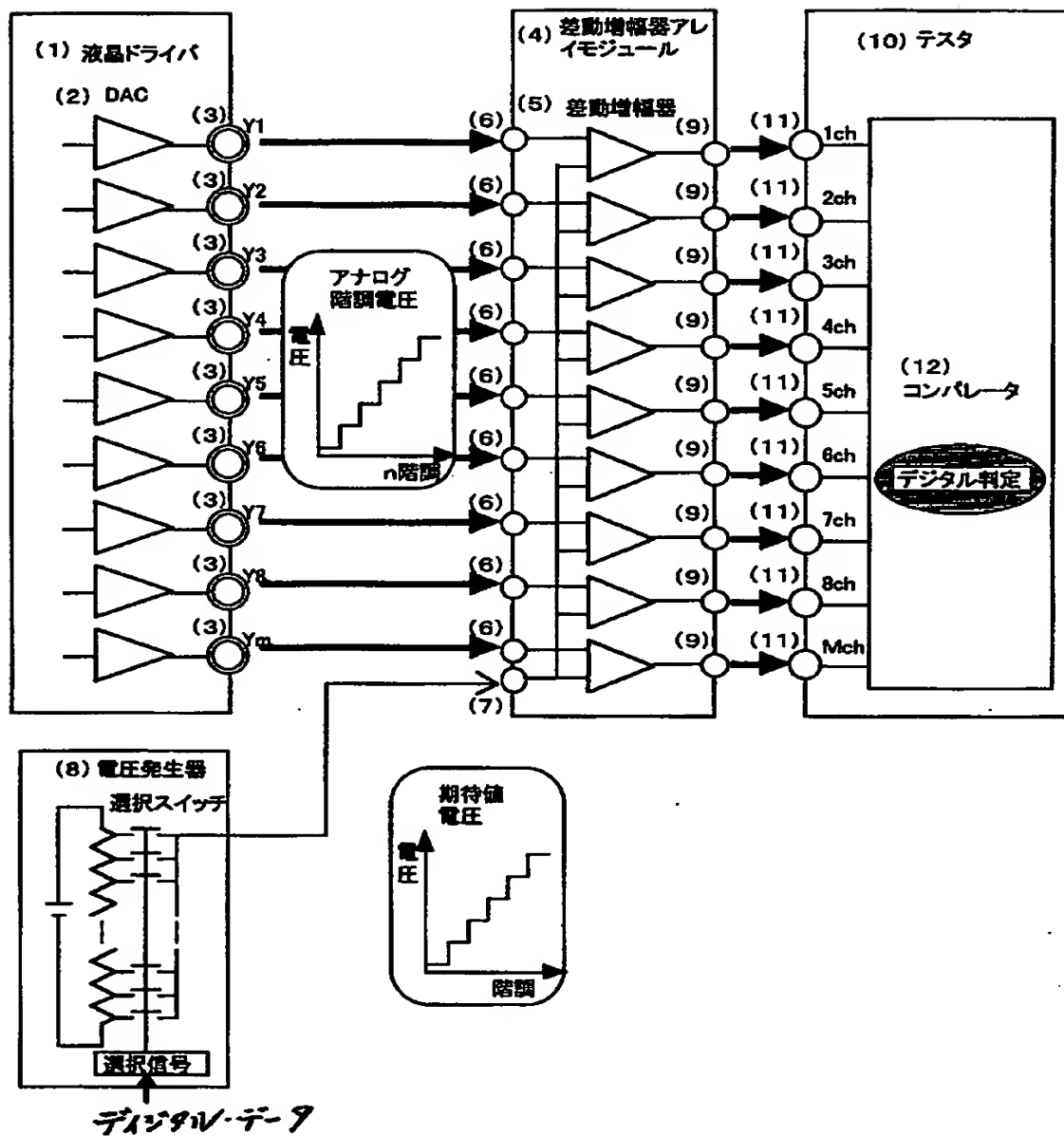
【符号の説明】

1	液晶ドライバ LSI
2	DA コンバータ
3	出力端子
4	差動増幅器アレイモジュール
5	差動増幅器
6、7	差動増幅器の入力端子
8、	電圧発生器
9	差動増幅器の出力端子
10	テスト
11	テストの入力チャネル

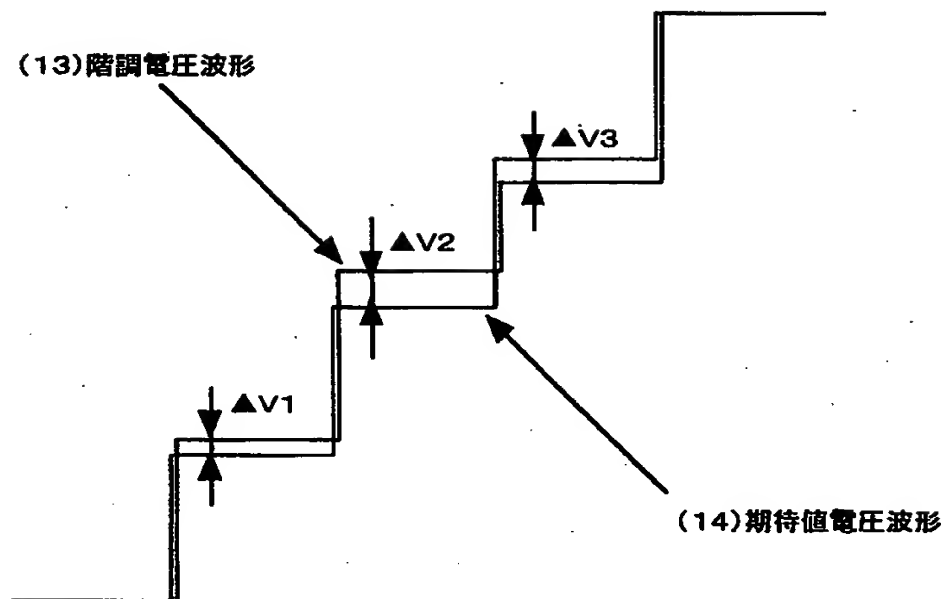
1 2	コンパレータ
1 5	電圧比較器
1 6、1 7	論理積回路

【書類名】 図面

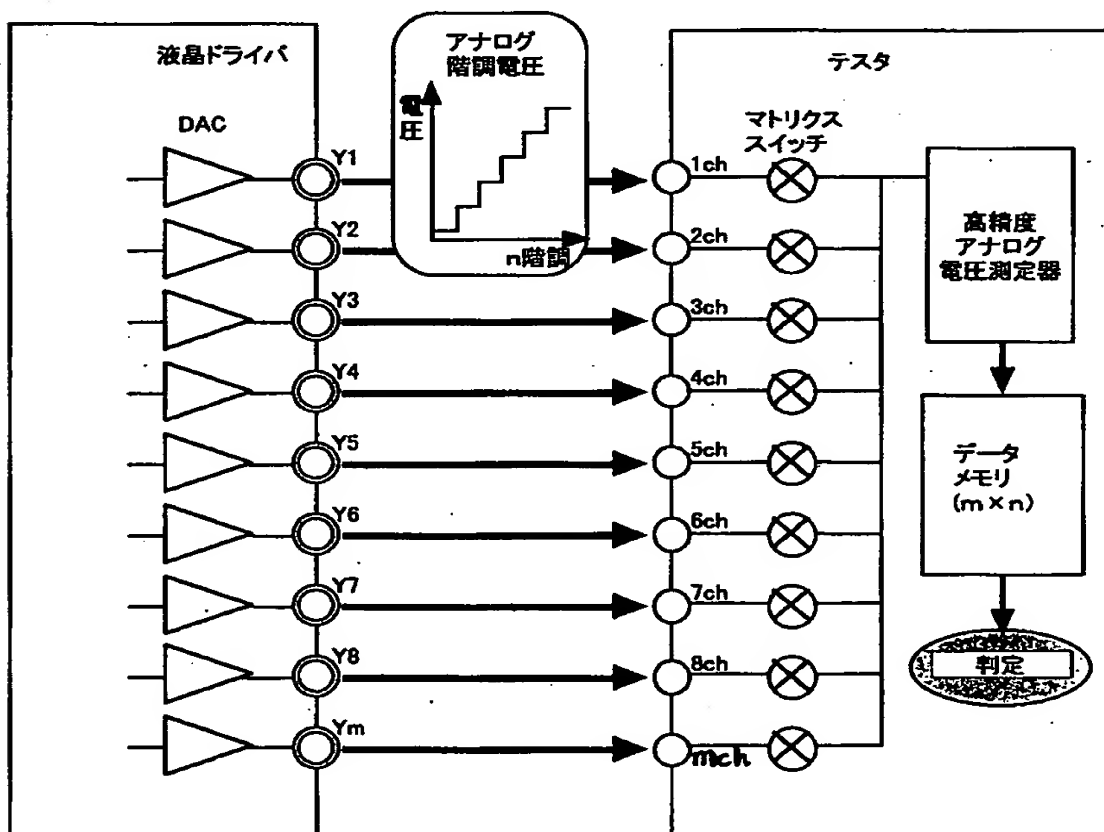
【図 1】



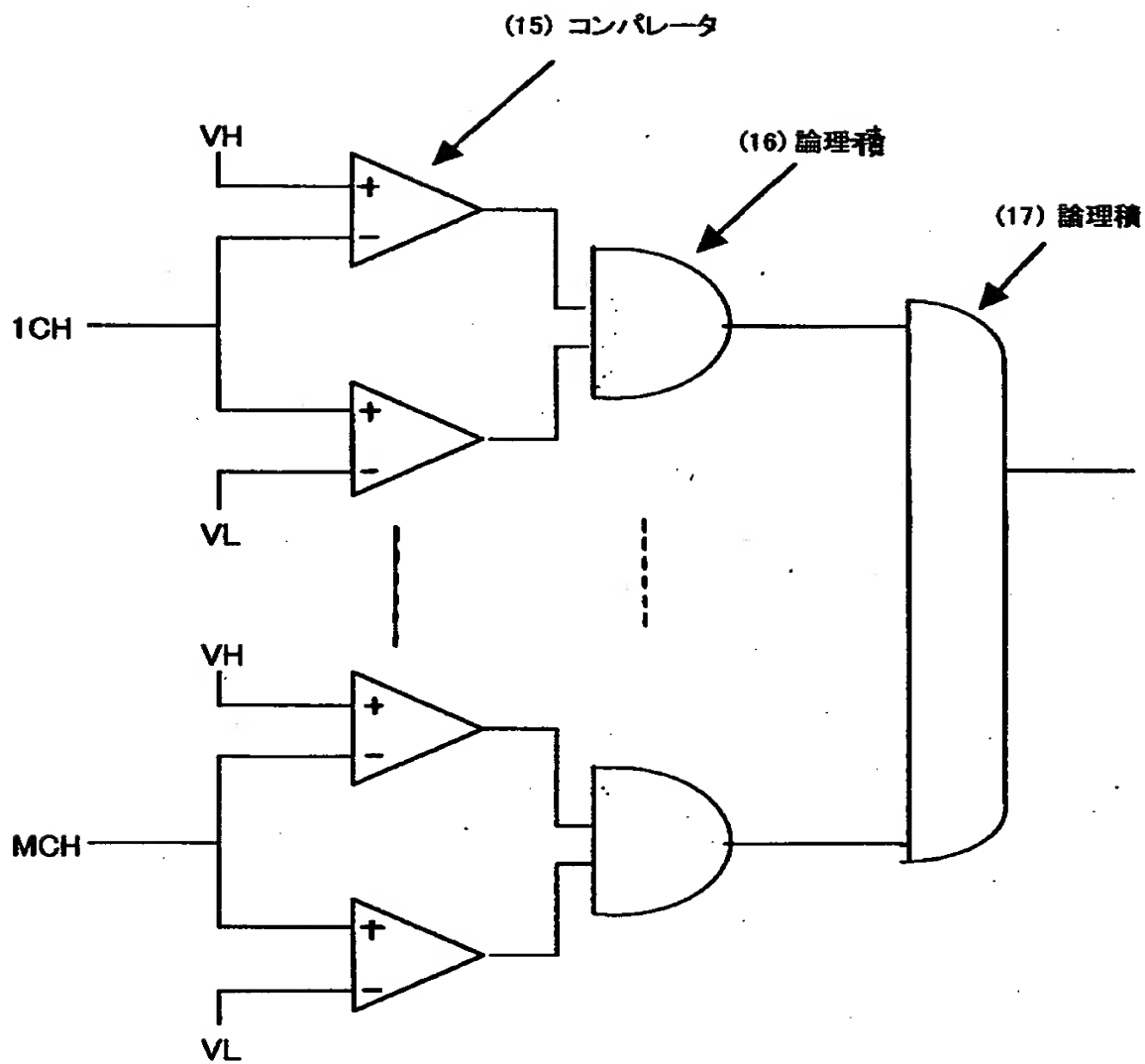
【図 2】



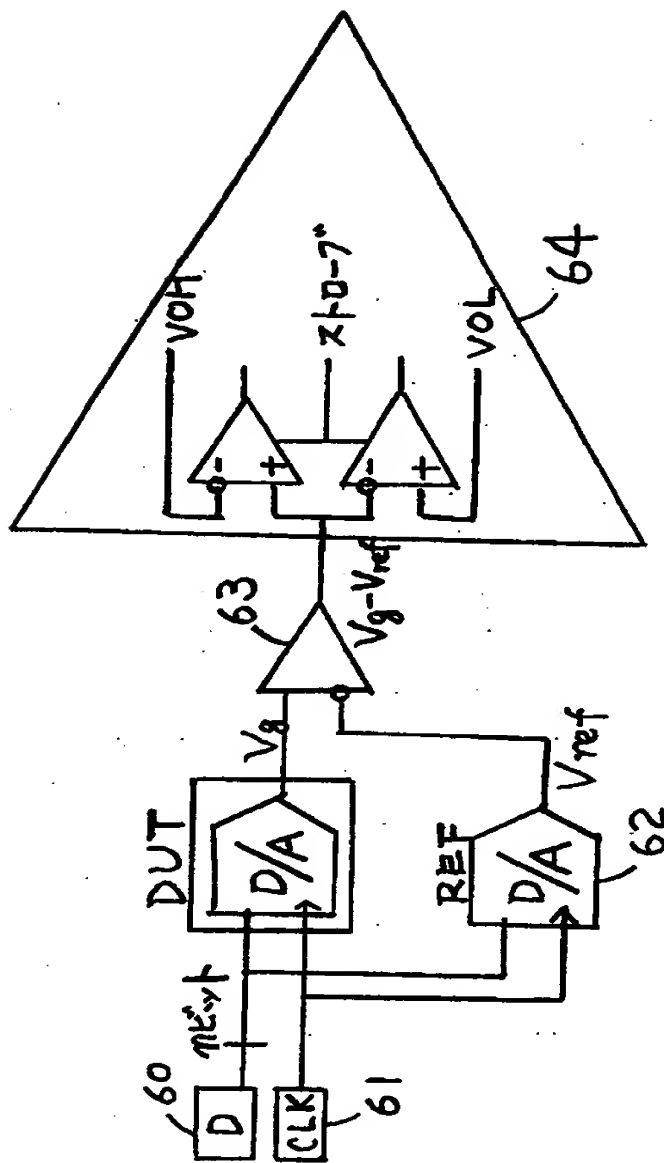
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 液晶ドライバLSI等の検査に於いて、高価な半導体試験装置を必要とせず、従来の安価なテストを用いて、テスト時間の大幅な削減と、高精度試験を可能とするとともに、基準電圧発生器を、被検査半導体集積回路の種類毎に用意する必要の無い検査装置を提供すること。

【解決手段】 複数個のDAコンバータ(2)を内蔵し、各DAコンバータ(2)の出力電圧を、それぞれ、対応する出力端子(3)より出力する構成とした液晶ドライバLSI(1)の検査装置に於いて、上記各出力端子(3)より出力される各出力電圧と比較される複数の期待値電圧を発生する電圧発生器であって、複数種類の半導体集積回路の検査に必要な複数種類の基準電圧の組を選択的に出力する機能を有する基準電圧発生器(8)と、上記各出力端子(3)より出力される各出力電圧が、それぞれ、その一方の入力端子(6)に輸入され、他方の入力端子(7)には、上記電圧発生器(8)よりの期待値電圧が輸入される複数の差動増幅器(5)と、該複数の差動増幅器(5)よりの増幅出力電圧を、その入力とし、各差動増幅器(5)よりの増幅出力電圧が、それぞれ、所定の電圧範囲内にあるか否かを判定するコンパレータ(12)とを設ける。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社